

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-237387

(43)Date of publication of application : 31.08.2001

(51)Int.Cl.

H01L 27/10  
G11C 11/22  
G11C 16/04  
H01L 21/8247  
H01L 29/788  
H01L 29/792

(21)Application number : 2000-046899

(71)Applicant : MATSUSHITA ELECTRIC IND CO  
LTD

(22)Date of filing : 24.02.2000

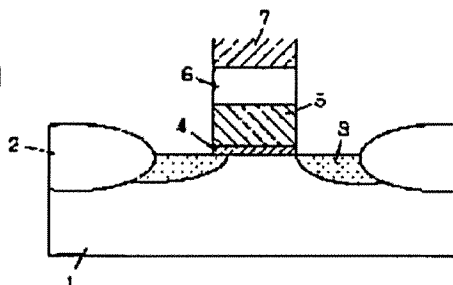
(72)Inventor : OTSUKA TAKASHI  
MORITA KIYOYUKI  
IIJIMA KENJI

(54) FERROELECTRIC GATE DEVICE AND METHOD OF DRIVING THE SAME

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a technique of controlling the voltage of a ferroelectric gate device and a structure of the same.

**SOLUTION:** A first insulator layer formed on a semiconductor substrate, ferroelectric layer formed on the first insulator layer, and resistance variable element which is formed on the ferroelectric layer and is changed in resistance by application voltage, are electrically connected. Since an electric field applied to the ferroelectric is controlled by a change in resistance, application of voltage to the ferroelectric can be conducted with accuracy and holding characteristics and the reliability can be increased.



(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号  
特開2001-237387  
(P2001-237387A)

(43) 公開日 平成13年 8月31日 (2001. 8. 31)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコード*(参考)
H 0 1 L 27/10	4 5 1	H 0 1 L 27/10	4 5 1 5 B 0 2 5
G 1 1 C 11/22		G 1 1 C 11/22	5 F 0 0 1
16/04		17/00	6 2 2 Z 5 F 0 8 3
H 0 1 L 21/8247		H 0 1 L 29/78	3 7 1 5 F 1 0 1
29/788			

審査請求 未請求 請求項の数 8 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願2000-46899(P2000-46899)

(22) 出願日 平成12年 2月24日 (2000. 2. 24)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 大塚 隆

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 森田 清之

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外 2 名)

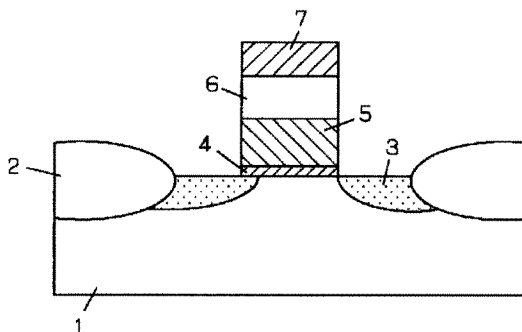
最終頁に続く

(54) 【発明の名称】 強誘電体ゲートデバイスとその駆動方法

(57) 【要約】

【課題】 強誘電体ゲートデバイスの電圧制御手法とその構造を提供する。

【解決手段】 半導体基板上に形成した第一の絶縁体層と、前記第一の絶縁体層上に形成された強誘電体層と、前記強誘電体層上部に形成された、印加電圧によって抵抗変化する抵抗変生素子が電気的に接続され、抵抗変化によって、強誘電体への印加電界を制御するために、強誘電体への電圧印加が精密に行え、保持特性および、信頼性が向上する。



## 【特許請求の範囲】

【請求項1】強誘電体部の残留分極状態により、半導体基板表面の電荷状態を変化させる電界効果トランジスタにおいて、半導体基板上に形成した第一の絶縁体層と、前記第一の絶縁体層上に形成された強誘電体層と、前記強誘電体層上部に形成された、印加電圧によって抵抗変化する抵抗変化素子が電気的に接続されたことを特徴とする強誘電体ゲートデバイス。

【請求項2】抵抗変化素子がBa, Sr, Ti, Zn, Fe, Cuのうち少なくとも一つの元素を含む酸化物あるいは、SiC, Si, S 10 eのうち一つの元素を含むことを特徴とする請求項1記載の強誘電体ゲートデバイス。

【請求項3】抵抗変化素子が半導体の空乏層を変化させることにより抵抗を変化させることを特徴とする請求項1記載の強誘電体ゲートデバイス。

【請求項4】強誘電体部の残留分極状態により、半導体基板表面の電荷状態を変化させる電界効果トランジスタにおいて、半導体基板上に形成した第一の絶縁体層および前記第一の絶縁体層上部に形成された電気的に浮遊状態の第一の浮遊電極のうち少なくとも第一の絶縁体層を 20 備え、前記第一絶縁体層あるいは第一の浮遊電極上に形成された強誘電体層と前記強誘電体層上に第二の絶縁体層および第二の浮遊電極層のうち少なくとも第二の絶縁体層が形成されており、前記第二の絶縁体層上に形成された上部電極を備えた構造であって、前記第一の絶縁体層あるいは、第二の絶縁体層のうち少なくとも一方を、電界に対してキャパシタンスが変化するキャパシタンス可変材料を用いることを特徴とする強誘電体ゲートデバイス。

【請求項5】キャパシタンス可変材料が、ペロブスカイト型酸化物であることを特徴とする請求項1記載の強誘電体ゲートデバイス。 30

【請求項6】キャパシタンス可変材料が、半導体材料からなることを特徴とする請求項1記載の強誘電体ゲートデバイス。

【請求項7】請求項1から請求項6のいずれかに記載の強誘電体ゲートデバイスを用いた、強誘電体メモリデバイス。

【請求項8】請求項1から請求項6のいずれかに記載の強誘電体積層構造を有する強誘電体ゲートデバイスを用いた、プログラマブル ロジック デバイス。 40

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】近年の機器の発展に伴い、半導体デバイスで、高速、大容量のデータを扱う必要性が増大している。そのデータや命令などのデータを保存するために、高速で不揮発性のメモリの実現が期待されている。

【0002】不揮発性メモリとして、フラッシュメモリや、強誘電体メモリ (FRAM) が既に市場に登場してい 50

る。

【0003】しかしながら、さらに、高速、大容量のデータを扱うためには、現状以上の高速不揮発メモリが必要となってきた。

【0004】近年、MOS-FET (metal Oxide Semiconductor-Field Effect Transistor) のゲート絶縁体の部分に強誘電体を用いた、MF (I) S-FET (Metal ferroelectric (Insulator) Semiconductor-FET) が小型で高速の不揮発性メモリとして提案されてきている。

【0005】これは、半導体基板とゲート電極に強誘電体の抗電界以上の電圧を印加させることにより、強誘電体の分極を変化させ、電圧除去後も強誘電体に残った残留分極により、FETトランジスタをノーマリーオンあるいは、ノーマリーオフとして情報を記憶させるものである。

【0006】しかしながら、シリコン基板上に例えばPZT (PbxZr1-xTiO3) のような強誘電体を形成した場合、PZT形成時にシリコンと反応し、シリコンと強誘電体間に良好な界面を持つものが形成できなかったり、強誘電体形成時に、シリコンとの界面にSiO2が形成されたりする。そのため、シリコン上にCeO2などの絶縁体 (Insulator) 層を形成し、強誘電体とシリコンとの反応を防ぐことも行われている。

【0007】しかし、未だ良好な保持特性を有するデバイスの実現には至っていない。その理由として考えられる原因として、強誘電体の結晶性の不十分さや、情報を分極として保持している状態や、読み出し時に強誘電体への反対電界が加わることによるものとが考えられている。

【0008】これらは、デバイスの保持特性の劣化につながっている。強誘電体ゲートデバイスを作製するにあたり、デバイス特性に重要な影響を与える因子として、Siとゲート酸化膜との界面の問題である。現在Siデバイスで主に使われているゲート酸化膜として、Siの酸化物や窒化物がある。これらの材料は、Siと良好な界面を形成する。しかし、前述したようなSiとの界面にSi酸化物あるいはSi窒化物以外の絶縁体を形成した、強誘電体ゲートデバイスの場合には、界面単位密度が上昇し、閾値Vtの変動などを引き起こし、デバイスの信頼性上問題となる。

【0009】この界面の問題を解決した例として、ロームの中村らによるMF MIS型 (Metal Ferroelectric Metal Insulator Semiconductor) の強誘電体ゲートデバイスの提案がある (「強誘電体薄膜メモリ」p261、サイエンスフォーラム)。

【0010】MF MIS型においては、Siとの界面にSiO2を利用することが可能となり、界面単位の問題は解決される。また、強誘電体をMF M構造とし、金属電極で挟み込んだ構造であるため、Si上に直接強誘電体を形成するよりも、結晶性良く強誘電体を形成できる。

【0011】以上のように、強誘電体部すなわち、MF S、MFIS、MFMIS構造のF部の強誘電体の残留分極状態により半導体基板表面のコンダクタンスを変化させてなる強誘電体ゲートデバイスでは、強誘電体の形成が鍵となっている。

【0012】また、特公平7-109887号公報によれば、MFIS構造にすることによって、1各層の薄膜化を防ぐとともに、F層を挟み込んだI層が、F層とS層あるいはM層との拡散防止の役割を果たすことが発明されている。

【0013】以上いずれの構造においても、強誘電体層にかかる電圧で考えると、保持を良好にするには、強誘電体のD-Eヒステリシス曲線における、飽和分極以上の電圧を、読み出し時には、抗電界以下の電圧を印加させ、動作させることとなる。さらに、強誘電体材料は、飽和電界と絶縁破壊電界との差が小さいものが多いため、印加電圧を精密に制御する必要がある。

【0014】以上のような、従来の強誘電体ゲートデバイスの動作を以下に図を用いて説明する。

【0015】図1は強誘電体のD-Eヒステリシスループを示す。

【0016】強誘電体は電界を印加すると、抗電界 $E_c$ 以上の電界で分極反転し、0バイアスに戻しても、残留分極 $P_r$ が存在する。強誘電体ゲートデバイスの場合、最上部のゲート電極に電圧を印加させ、強誘電体を分極反転させる動作が書き込みとなる。すなわち書き込み時には、 $E_w$ の電界を印加させ、分極を完全に反転させることが、保持特性を向上させるうえで重要である。このとき、強誘電体材料にもよるが、強誘電体に $E_c$ の2倍以上の電界をかけると、リークが増大し、最後には絶縁破壊を起こす。

【0017】 $Pb, La, TiO_3$ の場合は、 $E_c$ が50kV/cmに対して絶縁破壊電圧が100~200kV/cmとなることも多く、 $E_w$ の設定を調整しないとけない。また、読み出し時には、 $E_{op}$ の電圧を印加するが、強誘電体の結晶性に起因して、強誘電体にはマイナーループが存在し、 $E_{op}$ 印加時に分極反転が生じてしまい、読み出しを繰り返すことにより、最後には残留分極が消滅してしまう。

【0018】

【発明が解決しようとする課題】そのため、MF(I)S型、MFS型、MFMIS型、MIFIS型いずれの強誘電体ゲートデバイスにおいても、構造により、強誘電体部の強誘電体の結晶性の違い(製法にも依存する)が存在するものの、実用に耐えうる保持特性を持った強誘電体ゲートデバイスの実現には未だいたっていない。

【0019】その理由としては、強誘電体や、絶縁体層の、結晶性だけの問題ではない。強誘電体を分極させるためのいわゆる書き込み動作や、読み出し動作時の強誘電体への印加電圧および電界の考慮がなされていないからである。すなわち、書き込み時には、強誘電体に電圧が印可され分極反転を確実に行う事が重要であり、保持

時および、読み出し動作時には、強誘電体への反電界がかからないようにすることが、保持特性の向上には重要である。特に読み出し動作時には、上部の電極に電圧を印加させるため、強誘電体のマイナーループに起因する分極保持が阻害される(ディスタープ)ことが原因である。

【0020】すなわち本発明においては、特に保持特性および読み出し動作時のディスタープ耐性を向上させるための、強誘電体への電界制御手法および構造を提供するものである。

【0021】さらに、強誘電体は、分極反転が飽和する電界と、絶縁破壊や、劣化が生じる電界の差が小さいという特徴を有しているため、電圧な急激な変化に対して、強誘電体の絶縁破壊や、劣化を防ぐ精密な電圧印加手法が必要である。

【0022】以上のように本発明の主目的は、保持特性および、デバイス動作の信頼性を向上させる電圧印加手法の提案および、構造の提供にある。

【0023】

【課題を解決するための手段】本発明の第1の発明における強誘電体ゲートデバイスによれば、強誘電体層上部に形成された、印加電圧によって抵抗変化する抵抗変換素子が電気的に接続されたことを特徴としている。印加電圧によって抵抗が変化するため、強誘電体へ加わる電圧を印加電圧により制御できることとなり、書き込み時と読み出し時の強誘電体へ加わる印加電圧を変化させることが可能となり、保持、耐ディスタープ特性が向上することとなる。

【0024】本発明の第2の発明における強誘電体ゲートデバイスによれば、抵抗変換材料としてBa, Sr, Ti, Znのうち少なくとも一つを含む酸化物を用いている。これらの酸化物は電圧に対する抵抗変化を大きくとれるため、印加電圧によって、強誘電体層にかかる電圧を大きく変化させることが可能となり、書き込み特性や、保持特性、耐ディスタープ特性が向上することとなる。

【0025】本発明の第3の発明における強誘電体ゲートデバイスによれば、抵抗変換素子が半導体の空乏層長を変化させることにより抵抗を変化させることを特徴としている。空乏層厚みを変化させることによって、抵抗を変化させることが可能となり、強誘電体層に対する印加電圧を制御することが可能となる。

【0026】本発明の第4の発明における強誘電体ゲートデバイスによれば、強誘電体部の残留分極状態により、半導体基板表面の電荷状態を変化させる電界効果トランジスタにおいて、半導体基板上に形成した第一の絶縁体層および前記第一の絶縁体層上部に形成された電気的に浮遊状態の第一の浮遊電極のうち少なくとも第一の絶縁体層を備え、前記第一絶縁体層あるいは第一の浮遊電極上に形成された強誘電体層と前記強誘電体層上に第二の絶縁体層および第二の浮遊電極層のうち少なくとも

第二の絶縁体層が形成されており、前記第二の絶縁体層上に形成された上部電極を備えた構造であって、前記第一の絶縁体層あるいは、第二の絶縁体層のうち少なくとも一方を、電界に対してキャパシタンスが変化するキャパシタンス可変材料を用いることを特徴としている。

【0027】キャパシタンス可変材料を接続した構成になっているため、電圧の印加状態により、キャパシタンスが変化し、強誘電体層および第一の絶縁体層とのキャパシタンス比が変化することとなり、強誘電体層への印加電圧が制御できることとなり、強誘電体への印加電圧を精密に制御できるようになる。

【0028】本発明の第5の発明における強誘電体ゲートデバイスによれば、キャパシタンス可変材料としてペロブスカイト型の酸化物を用いている。ペロブスカイト材料は印加電圧に対するキャパシタンス変化が大きいため、強誘電体層への印加電圧が制御しやすいという利点を有している。

【0029】本発明の第6の発明における強誘電体ゲートデバイスによれば、キャパシタンス可変材料として半導体材料を使用している。

【0030】半導体材料を用いることにより、空乏層厚みを変化させ、キャパシタンスを変化させることが可能となり、強誘電体に対する印加電圧を容易に制御できることとなる。

【0031】本発明の第7の発明における強誘電体ゲートデバイスによれば、上記強誘電体部を情報記憶部として機能させることにより、強誘電体メモリとして機能する強誘電体デバイスが得られる。

【0032】また、上記強誘電体デバイスを、プログラマブル・ロジック・デバイス内の配線間に介設されるスイッチングトランジスタとして機能させることにより、

【0033】

【発明の実施の形態】以下、本発明の実施の形態における強誘電体ゲートデバイスについて図面を参照しながらその構造と動作について説明する。

【0034】（実施の形態1）図1は、本発明における強誘電体ゲートデバイスの断面構成図である。

【0035】図1において、1はシリコン基板、2は素子分離層、3は拡散部（ソースもしくはドレイン）、4は第一の絶縁体層、5は強誘電体層、6は抵抗変化素子、7はゲート電極である。

【0036】なお、図1に示す例は、MIFIS型の強誘電体ゲートデバイスである。

【0037】図1に示す実施例では、第一の絶縁体層4は $\text{SiO}_2$ で、強誘電体層5として、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ を、抵抗変化素子6として、 $\text{Bi}_2\text{O}_3$ を添加したZnOから構成されている。

【0038】図1に示す強誘電体ゲートデバイスの製造は、以下の製造工程によって形成される。

【0039】まずシリコン基板1上に素子分離となるL0

COS膜2を形成したのち、LOCOS膜2領域でこまれた活性領域の上に $\text{SiO}_2$ 膜4を形成する。その後強誘電体層5として $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜を、基板温度575°C、酸素分圧25%、スパッタ圧力20mTorrの条件で形成した（1 Torr = 133.322 Pa）。

【0040】 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の形成には、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の結晶性を向上させるために、あらかじめ、ZrあるいはTiのバッファを $\text{SiO}_2$ 上に形成した後形成してある。

【0041】さらに、強誘電体5の上部に、ZnOのターゲットを用いて基板温度100°Cで形成し、最後にゲート電極として、Ptをスパッタ法により形成した。さらにフォトリソグラフィ法によって、電極形成マスクを用いて $\text{SiO}_2$ 膜、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜、ZnO膜、Ptをパターンニングした。

【0042】このパターンニングは構成される各層ごと、一括、何段階いずれの方法を用いてもよい。

【0043】さらに、ゲート電極7をマスクとして、シリコン基板1無いにキャリア用不純物のドーピングを行いソースドレイン領域となる不純物拡散層3を自己整合的に形成した。

【0044】その後基板上に、層間絶縁膜と、コンタクト、配線などを形成するが、通常の半導体記憶装置製造プロセスであるため省略する。

【0045】本実施の形態の強誘電体ゲートデバイスによると以下の効果を発揮することができる。

【0046】図1に示す強誘電体ゲートデバイスの書き込み動作を考える。

【0047】ゲート電極7に電圧を印加させ、強誘電体層5の分極反転させる場合である。

【0048】ゲート電極7に電圧を印加すると、絶縁体層4、強誘電体層5、抵抗変化素子6に電圧が印可され、それぞれのキャパシタンスに応じた比率で電圧が分配される。

【0049】すなわち、抵抗変化素子6の抵抗が低く抵抗体と見なせる場合の等価回路は図2であって、抵抗が絶縁体に近いほど高い場合は、図3に示す等価回路となる。なお図2、図3に示した例は、いずれも、抵抗変化素子6を強誘電体層5に直列に接続した場合であって、図1の構成の場合である。

【0050】またZnO膜のV-I特性を図4に示す。

【0051】電圧に対して抵抗が大きく変化することがわかる。すなわち抵抗が大きな低電圧領域では、容量として扱うことが可能であり、ある電圧を超えた瞬間に抵抗が激減する。

【0052】この特性を利用して、バリスタとして、電子部品の分野において使用されている。

【0053】また、近年DRAM向けに開発されてきている $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ といったペロブスカイト型酸化膜においても、同様の抵抗が劇的に変化する領域が存在する。

【0054】すなわち、書き込み時において、低電圧時

は、図3に示した等価回路であり、まず、容量に応じて電圧が分配される。このときは、強誘電体層5のキャパシタに対して容量として、絶縁体層4に起因するキャパシタと抵抗変化層6に起因するキャパシタが接続された形態となっており、 $\text{SiO}_2$ の誘電体 $\epsilon=3.9$ 、 $\text{ZnO}$ 材料の誘電率 $\epsilon=10$ 程度で、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$  $\approx 100$ 程度であるので、第一の絶縁体層4の厚みを5nm、強誘電体層5の厚みを200nmとし、抵抗変化素子層6厚みを50nmとした場合、強誘電体層5には電圧はほとんど分配されない。しかし、さらに電圧をあげていくと、やがて、抵抗変化素子層に加わる電圧が増大し、抵抗として作用するようになる。すなわち図2に示す等価回路となる。

【0055】そのため、強誘電体層5と絶縁体層4との直列キャパシタとして、取り扱うことができ、強誘電体層5に加わる電圧が一気に増大することとなる。以上が書き込み時の抵抗変化素子の役割である。

【0056】一方読み出し時は、抵抗変化素子6が容量として扱える領域で使用する。

【0057】以上のような構成にすることによって、次のような効果が実現できることとなる。

【0058】すなわち、書き込み時は、通常のMFIS構造として、また読み出し時はMIFIS構造として作用することと同じ状態となる。そのため、特に読み出し時に強誘電体への印加電圧を精密に制御できるだけでなく、保持状態の時に、強誘電体へ加わる電界を分散させることが可能となるとともに、強誘電体層5とゲート電極7の間に絶縁体層が挟み込まれるために、リーク電流の低減がはかれることとなる。

【0059】なお、本実施の形態では、抵抗変化素子として、酸化物系の材料を用いたが、PN接合のSi等の半導体接合や、SiCにAlを添加した材料系でもなんら問題は生じない。ようするに、電圧に対して抵抗が変化する材料系であればいっようなにかまわないこととなる。

【0060】次に、本発明の実施の形態では、強誘電体層5のキャパシタに直列に接続したが、図5に示す等価回路もしくは図6に示す等価回路のような接続形態でもかまわない。

【0061】また、参照抵抗、もしくは、参照コンデンサが無い状態でもかまわない。

【0062】図5では、強誘電体層5に抵抗変化素子6と抵抗体の中間点を、図6においては抵抗変化素子と参照コンデンサの中間点をそれぞれ接続した構成になっている。すなわち可変抵抗素子6に印加電圧が加わり、抵抗として扱える状態を示している。

【0063】また、図7には図5において抵抗素子6に低電圧が加わる場合の等価回路を示し、同様に図8には図6において、抵抗素子6に低電圧が加わる場合の等価回路を示している。

【0064】図5においては、ゲート電極7に電圧を印加すると、抵抗比率に応じて電圧の分配が生じる。

【0065】従って、ゲート電極にパルスを印加したとき、抵抗変化素子6の抵抗が高いときには、電位が大きく低下し、強誘電体層5の電位は低くなる。一方抵抗変化素子6の抵抗が低い場合には、抵抗変化素子6の電位降下は小さくなり強誘電体層5上部の電位は上昇する。

【0066】すなわち、抵抗変化素子に加える電圧を高くすることにより、抵抗変化素子の抵抗は減少するので、強誘電体層6上部の電位は上昇し、書き込みが確実に行われることとなる。

【0067】いっぽう、読み出し時には、書き込み電圧より低い電圧を加えるため、抵抗変化素子の抵抗は高い状態にあるため、ゲート印加電圧の低下分以上の電位降下が強誘電体層5上部にくわることとなる。

【0068】すなわち、書き込み電圧と、読み出し電圧の差以上に強誘電体層5上部の電位は変化することとなり、強誘電体層5厚みが薄く、マイナーループを描かない電圧の設定が微妙な領域にある場合においても、確実に強誘電体層5上部の電位を制御できることとなり、読み出し時のディスタープ耐性が向上することとなる。

【0069】一方参照コンデンサを接続した図6の場合について説明する。

【0070】図6のように、参照コンデンサを接続した場合、低電圧領域では、コンデンサの直列接続になるため、コンデンサのキャパシタンスに応じた電圧分配となるとともに、ゲート電極7への電圧印加後にも、ゲート電極7の電位を浮遊状態にすることによって、電位は一定期間保たれる。また高電圧印加時には、抵抗変化素子6は抵抗として作用するために、強誘電体層5上部の電位は上昇することとなる。

【0071】本発明の第一の実施の形態における、抵抗変化素子の材料としては、 $\text{BaTiO}_3$ 系酸化物、 $\text{TiO}_2$ 系、 $\text{SrTiO}_3$ 系、 $\text{Fe}_2\text{O}_3$ 系、 $\text{Cu}_2\text{O}$ 系、 $\text{ZnO}$ 系の酸化物を基本として、さらに抵抗をさげるために、 $\text{Bi}_2\text{O}_3$ や希土類元素の添加を行うことによって抵抗率、抵抗変化率の調整をおこなえばよい。

【0072】さらに、SiのPN接合、SiC半導体にAlを添加した系も使用可能である。

【0073】（変形実施の形態）第一の実施の形態において、本実施の形態では、抵抗変化素子6として、半導体の空乏層を利用した例について説明する。

【0074】図7に抵抗変化素子の構成を示す。

【0075】図7において、7がゲート電極、8が絶縁体、9が半導体層、10が下部電極、11が上部電極、12が接続電極である。

【0076】以上の構成の抵抗変化素子は、半導体層9として、p型のポリSiを用いている。下部電極と上部電極の間に電圧を印加し、半導体層9を空乏化させる。ゲート電極7と接続電極12の間の抵抗は、半導体層9が空乏化している場合と、していないときとで、抵抗が変

化することとなる。

【0077】そのため、本発明の第一の実施の形態による場合と同様に、抵抗変化素子として利用可能である。

【0078】また、本実施の形態における半導体層として、Si、SrTiO<sub>3</sub>、AlN、In<sub>2</sub>O<sub>3</sub>、ZnOなどが利用可能である。

【0079】以上のように、本発明の第一の実施の形態によれば、強誘電体ゲートデバイスの書き込みをよび読み出し時に、強誘電体に加わる電界を抵抗変化素子により制御することを主たる特徴としている。

【0080】そのために、書き込み時には強誘電体に電圧が確実に印加されるとともに、読み出し時に強誘電体のマイナーループに起因する残留分極量の減少を防ぐことが可能となり、強誘電体ゲートデバイスの保持特性が向上することとなる。

【0081】（本発明における第二の実施の形態）（実施の形態2）本発明における第二の実施の形態について以下に説明する。

【0082】基本構造は第一の実施の形態における図1と同様であるので省略する。

【0083】第二の実施の形態で異なるのは、図1における抵抗変化素子6が電界によってキャパシタンスが変化するキャパシタンス可変材料からなる、キャパシタンス変化素子7であることである。

【0084】すなわち、製造方法においても、第一の実施の形態と同様であって、キャパシタンス変化素子として、Ba<sub>x</sub>Sr<sub>1-x</sub>TiO<sub>3</sub>（以下BSTと略す）を形成してある点が異なる。

【0085】キャパシタンス変化素子は、BSTのターゲットを用いて基板温度575℃で形成してある。

【0086】以下に本実施の形態の効果について説明する。

【0087】キャパシタンス変化素子は、図8に示すような、CV挙動を示す。

【0088】すなわち0バイアス付近でのキャパシタンスが一番大きく、バイアスを印加していくに従いキャパシタンスは減少する。この変化量は材料により変化するが20～30%の変化は十分可能である。

【0089】特にイオン変位型のペロブスカイト酸化物は、電圧に対するキャパシタンス変化が大きい。

【0090】このキャパシタンス変化素子を図9に示す等価回路であらわされる直列接続の時の動作について説明する。キャパシタンス変化素子を直列に接続した場合は、ゲート電極7に対して電圧を印加すると、構成している強誘電体層5絶縁体層4とキャパシタンス変化素子7のキャパシタンス比に応じた分配が生ずる。このとき、キャパシタンス変化素子7は0バイアス付近ではキャパシタンスが大きい、徐々にゲート電極7への印加電圧が増加すると、キャパシタンス変化素子7への電圧印加も増加していき、キャパシタンス変化素子7のキャパ

シタンスは減少していく。

【0091】そのため、強誘電体層6への電圧分配は0バイアスに近い時と比較し相対的に減少することとなる。

【0092】つまり、電圧印加に対して強誘電体層5にかかる電圧の増大割合が減少することとなる。

【0093】このことによって、強誘電体層5にかかる電圧を、分極が飽和してから、絶縁破壊までの電界の間で、制御できることとなる。ゲート電極への印加電圧にたとえばノイズがのり、急激に電圧上昇をきたした場合でも、キャパシタンス変化素子7のキャパシタンスの増大によって、強誘電体層5への電圧印加は抑制されることとなり、強誘電体層5の電圧変動にたいする劣化が防げることとなる。

【0094】つぎに、図10、図11に示す等価回路で接続した場合について説明する。

【0095】図10は、参照抵抗を直列に接続した場合、図11は参照コンデンサを直列に接続した場合である。

20 【0096】この場合においても、参照抵抗および参照コンデンサは必ず必要というわけではない。

【0097】すなわち、前述の直列に接続した場合と異なるのは、強誘電体層5の上部が、参照抵抗あるいは参照キャパシタを介して接地されているか、もしくは、参照抵抗、参照コンデンサを介さずに接地されている場合である。

【0098】この場合において、参照抵抗を接続した場合には、ゲート電極7にパルスを印加して、キャパシタンス変化素子7への電荷保持が行われ、電流を流した瞬間だけ、電位が発生する。

30 【0099】その電位は、キャパシタンス変化素子への電荷保持量に応じた電流によって決定されるため、強誘電体層5上部の電位は、キャパシタンス変化素子7への電荷蓄積状態、すなわち、ゲート電極7へ電圧を印可して電流が流れるかどうかと、電流の量によって決定されることとなる。

【0100】また、図11に示した場合においては、キャパシタンス変化素子7と参照コンデンサの電荷蓄積量は同じであるため、そのキャパシタンス量に応じた電位が強誘電体層5上部に発生することとなる。

40 【0101】従って、キャパシタンス変化素子7のキャパシタンスが変化することにより、強誘電体層5に加わる電位が制御できることとなる。

【0102】このような制御を行うことによって、参照抵抗を接続した場合には、強誘電体層5上部の電位は、ゲート電極に電圧印加していくと、0バイアス付近では比較的是やく電位上昇がおこり、ゲート電極電位の上昇にともない、キャパシタンス変化素子7のキャパシタは減少するため、電位上昇は抑えられるように、非線形性を示す。そのため、電圧の急激な上昇に対しての安定性

が増すことになる。

【0103】一方、参照コンデンサを接続した場合には、参照抵抗の場合とは逆に、ゲート電極7電位の上昇に伴い、はじめは、キャパシタンス変化素子7のキャパシタが大きいため、電位上昇が抑えられ、ゲート電位の上昇に伴い、電位はより上昇するといった非線形性を示す。

【0104】そのため、特に読み出し時の強誘電体層5上部への電位が精密に制御できるために、保持特性の向上が可能となる。

【0105】

【発明の効果】以上のように、本発明における強誘電体ゲートデバイスは、強誘電体層上に、抵抗変化素子あるいは、キャパシタンス変化素子を接続した構造をとることによって、強誘電体への電圧印加が適正に制御できるようになり、強誘電体ゲートデバイスの保持特性も向上する。

【図面の簡単な説明】

【図1】強誘電体の動作を示す概念図

【図2】本発明の強誘電体ゲートデバイス構造の断面図

【図3】抵抗変化素子の動作を示す概念図

【図4】本発明の第一の実施の形態を示す等価回路図 \*

\* 【図5】本発明の第一の実施の形態における、参照抵抗を用いた等価回路図

【図6】本発明の第一の実施の形態における、参照コンデンサを用いた等価回路図

【図7】本発明の第一の実施の形態における、半導体層の空乏層を利用した構造の抵抗変化素子断面図

【図8】本発明の第二の実施の形態における、キャパシタンス変化素子の特性概念図

【図9】本発明の第二の実施の形態を示す等価回路図

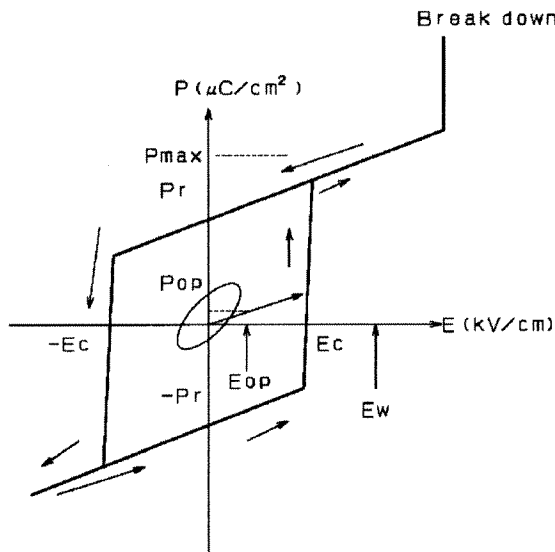
10 【図10】本発明の第二の実施の形態における、参照抵抗を用いた等価回路図

【図11】本発明の第二の実施の形態における、参照コンデンサを用いた等価回路図

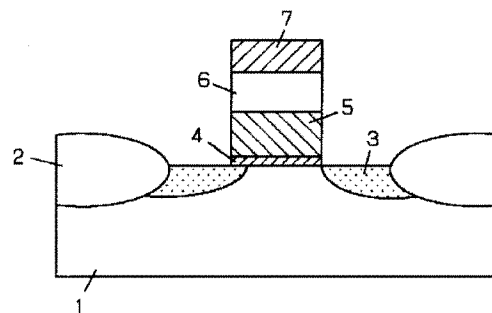
【符号の説明】

- 1 半導体基板
- 2 素子分離層
- 3 拡散部（ソースもしくはドレイン）
- 4 絶縁体層
- 5 強誘電体層
- 6 抵抗変化素子
- 7 ゲート電極

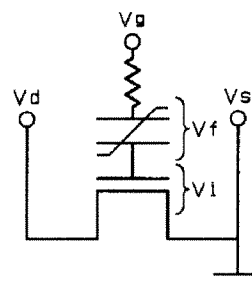
【図1】



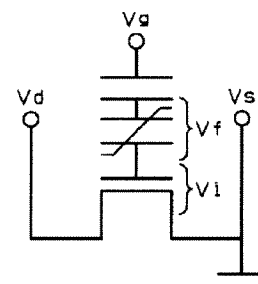
【図2】



【図4】

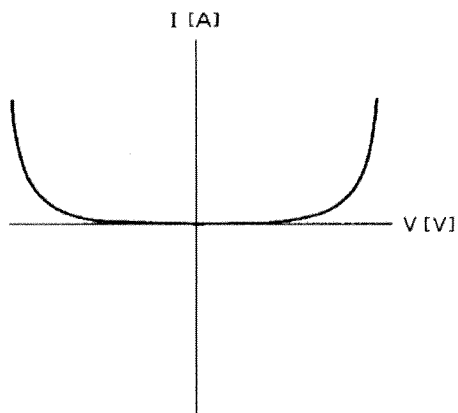


【図9】

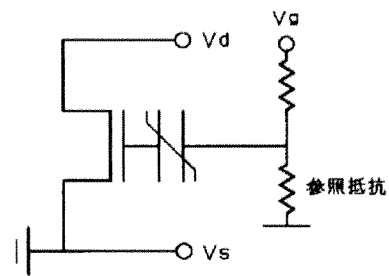




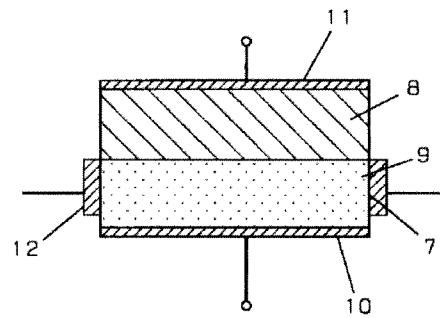
【図3】



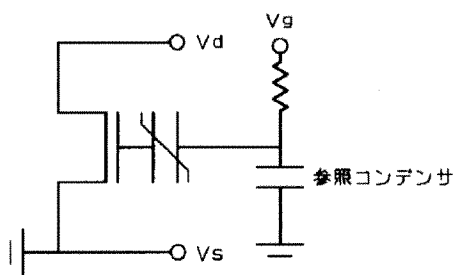
【図5】



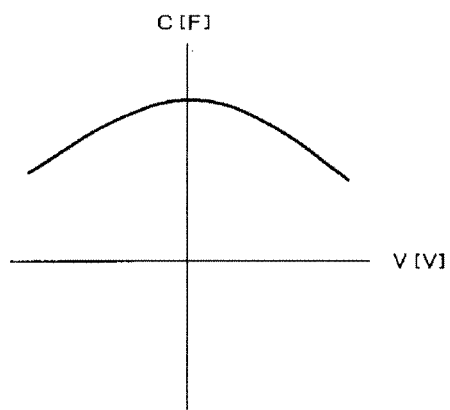
【図7】



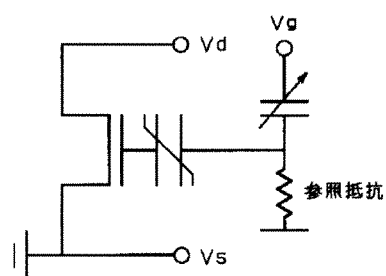
【図6】



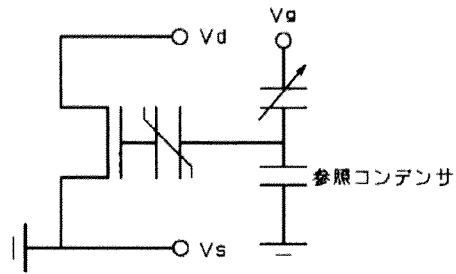
【図8】



【図10】



【図 11】



フロントページの続き

(51) Int. Cl.<sup>7</sup>

H 0 1 L 29/792

識別記号

F I

テーマコード (参考)

(72) 発明者 飯島 賢二

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

F ターム (参考)

5B025 AA07 AC01 AE08  
5F001 AA06 AA17 AA42 AD12 AE02  
AE03 AF06  
5F083 FR05 FR06 GA11 GA12 HA10  
JA13 JA14 JA17 JA38 PR22  
5F101 BA27 BA62 BD02 BE02 BE05  
BF02